

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

HETERO-JUNCTION BIPOLAR TRANSISTOR(HBT)

Patent Number: JP8241896

Publication date: 1996-09-17

Inventor(s): HONGO SADAHITO; MORITSUKA KOHEI

Applicant(s):: TOSHIBA CORP

Requested Patent: JP8241896

Application Number: JP19950045298 19950306

Priority Number(s):

IPC Classification: H01L21/331 ; H01L29/73

EC Classification:

Equivalents:

Abstract

PURPOSE: To markedly improve a high-speed operating property and long term reliability by making a lattice constant of an emitter layer different from a lattice constant of a base layer by an amount within a particular range.

CONSTITUTION: In a hetero-junction bipolar transistor HBT comprising a structure in which a first conductivity type collector layer 23, a second conductivity type base layer 24, and a first conductivity type emitter layer 25, consisting of a semiconductor layer having a forbidden band width larger than that of the second conductivity type base layer 24, are laminated successively, the lattice constant of the emitter layer 24 is made different from the lattice constant of the base layer 24 by an amount within a range of 0.1-1%. Therefore, In composition in $In_x Ga_{1-x} P$ can improve the long term reliability as to energization by selecting it so that lattice matching with the base layer is not achieved. Also, because the In composition x can be selected so that it has a value deviated from the lattice matching value, the degree of design freedom for InGaP/GaAs HBT is increased.

Data supplied from the esp@cenet database - I2

J1000 U.S. Pat.

107046739



01/17/02

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-241896

(13)公開日 平成8年(1996)9月17日

(51) Int.Cl.⁸
H 01 L 21/331
29/73

識別記号

府内整理番号

F I
H 01 L 29/72

技術表示箇所

審査請求 未請求 請求項の数5 OL (全10頁)

(21)出願番号 特願平7-45298

(22)出願日 平成7年(1995)3月6日

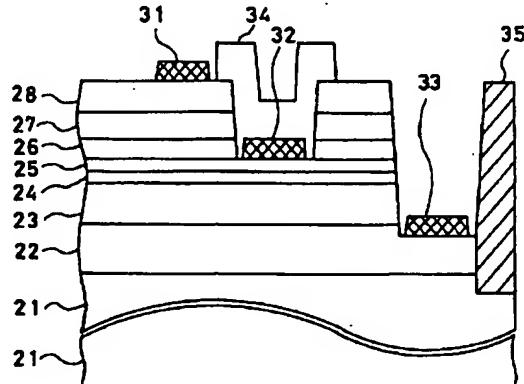
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 本郷 裕人
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内
(72)発明者 森塚 宏平
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 ヘテロ接合バイポーラトランジスタ (HBT)

(57)【要約】

【目的】 ヘテロ接合バイポーラトランジスタ (HBT) の長期信頼性の向上、オフセット電圧の低減あるいは高周波特性の向上を目的とする。

【構成】 $In_xGa_{1-x}P$ エミッタ層の In_x の組成 x を、 $In_xGa_{1-x}P$ の格子定数が $InGaAs$ ベース層あるいは $GaAs$ ベース層の格子定数よりわずかに小さな格子定数あるいはわずかに大きな格子定数となるように選ぶことにより高い長期信頼性を得ると共に、さらにオフセット電圧の低減、ウェハのそりの緩和、あるいは高周波特性の改善をする。



【特許請求の範囲】

【請求項1】 第1導電型のコレクタ層と、第2導電型のベース層と、該ベース層よりも禁制帯幅の大きい半導体層からなる第1導電型のエミッタ層とが順次積層された構造を具備するヘテロ接合バイポーラトランジスタ（以下HBTという）において、該エミッタ層の格子定数の値と、該ベース層の格子定数の値とが、0.1～1%の範囲で互いに異なることを特徴とするHBT。

【請求項2】 前記エミッタ層の格子定数が、前記ベース層の格子定数に比して小さいことを特徴とする請求項1記載のHBT。

【請求項3】 前記エミッタ層の格子定数が、前記ベース層の格子定数に比して大きいことを特徴とする請求項1記載のHBT。

【請求項4】 前記コレクタ層および前記ベース層はGaAsにより構成され、前記エミッタ層がInGaPで構成されていることを特徴とする請求項1～3のいずれかに記載のHBT。

【請求項5】 前記ベース層にInが含有されていることを特徴とする請求項4記載のHBT。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、超高速LSI、超高速・大容量光通信、マイクロ波帯からサブミリ波帯さらにはテラヘルツ帯での通信等に用いられるヘテロ接合バイポーラトランジスタ（以下HBTという）に関する。より詳細には、HBTの長寿命化・高信頼性化・高速化・高効率化等の特性の改善に関する。

【0002】

【従来の技術】 マイクロ波ICの分野ではSiバイポーラトランジスタに対して圧倒的な優位性を持つGaAsFETも、デジタルICではその集積規模が大きくなると、配線負荷容量等のために、必ずしも素子単体の性能を生かし切れない。しかし、HBTの相互コンダクタンスgmは標準的なGaAsMESFETに比べ、10～20倍も大きい。したがって、この電流駆動能力の高さと、III-V族化合物半導体が備えている優れた電子輸送特性からもたらされる高速性が、HBTの開発のひとつつの原動力となっているといえる。すなわち、HBT

$$Eg = 2.854 - 1.720x + 0.6043x^2 \dots (1)$$

と表わされる（たとえばC. P. Kuo et al., J. Appl. Phys. 57 (1985) 5428頁を参照）とされるが、In_xGa_{1-x}Pエミッタ層は組成x=0.48においてのみGaAsベース層に格子整合する。したがってIn_xGa_{1-x}P/GaAs系のHBTの設計の自由度は特定の組成xに限定されるため極めて小さいものであった。そしてこの場合、エミッタIn_xGa_{1-x}P層の伝導帯と、ベースGaAs層の伝導帯とのバンド不連続は約0.2eVも存在する（たとえばT. W. Lee et. al., Appl. Phys. Lett. 60 (1992) 474頁を参照）。このため、電流

* Tの特長は

- (1) 相互コンダクタンスgmが高いこと。
- (2) しきい値がベースのバンドギャップではなく決まるのでエピ厚やドーピング密度に対して安定である。
- (3) 電流制御がベースのポテンシャルによるので、FETにおけるいわゆる短チャネル効果に相当するようなスケールダウンにもなう特性劣化がない。
- (4) 入力/出力分離が良いため、出力コンダクタンスが十分に小さい。

10 (5) 素子表面の影響が少ないため1/fノイズが小さい。

【0003】 などである。今までこのHBT構造でもっとも成功しているのは、Al_xGa_{1-x}AsとGaAsの組み合わせを用いた材料を基本としたものである。これは主に、GaAsの電子の輸送特性が高速動作に適している事と、GaAsとAl_xGa_{1-x}Asでは格子不整合がほとんどなく、結晶成長が容易で、良質のヘテロ接合を容易にエピタキシャル成長等により得ることができることによる。

【0004】

【発明が解決しようとする課題】 しかし、Al_xGa_{1-x}Asをエミッタ材料として用いた場合、Al_xGa_{1-x}As中に存在するDXセンターが起因となり、素子の劣化を促進してしまう問題がある。長期信頼性を考えた場合、Alを含まない材料が望まれており、近年、In_xGa_{1-x}Pをエミッタ材料として用いたHBTが各所で発表されている。この系は、DXセンターが存在せず、表面再結合速度が小さい、またバンドの配置がHBTにとって好ましい、等の利点があるとされているためである。

【0005】 しかし、Al_xGa_{1-x}As/GaAs系では、Al_xGa_{1-x}AsとGaAsは格子整合しているため、伝導帯のエネルギー不連続値を変化させるためには、Alの組成xを変えてAl_xGa_{1-x}Asの禁制帯幅を変えれば良かった。ところが、InGaP系の場合、In_xGa_{1-x}PとGaAsはある組成比のみで格子整合する。したがって、事情は複雑になる。たとえばIn_xGa_{1-x}Pの禁制帯幅はInの組成xとして

$$Eg = 2.854 - 1.720x + 0.6043x^2 \dots (1)$$

一電圧特性においてオフセット電圧として現れてしまうが、格子整合の観点からバンド不連続値を小さくできない問題があった。

【0006】 一方、この組成xにおいては、エミッタからベースへの電子の注入エネルギーの観点からすれば、0.2eVというバンド不連続の値は小さく、したがって注入エネルギーは必ずしも大きくないが、格子整合の都合上、バンド不連続値を大きくできないという問題があった。このため従来のInGaP/GaAs系のHBTが高速動作できないという欠点があった。この電子の

注入エネルギーについてもう少し詳しく説明すれば、以下のようになる。つまり、HBTの遮断周波数 f_T は、電子のエミッタ・コレクタ走行時間 τ_{ec} を用いて $f_T = 1/2\pi\tau_{ec}$ (2)

と表わされる。電子のエミッタ・コレクタ走行時間 τ_{ec} は、

$$\tau_{ec} = \tau_e + \tau_b + \tau_x + \tau_c \quad \dots \dots \quad (3)$$

である。ここで、 τ_e はエミッタ充電時間、 τ_b はベース走行時間、 τ_x はコレクタ空乏層走行時間、 τ_c はコレクタ充電時間である。式(2)、および式(3)より HBT の遮断周波数 f_T 向上するためには、ベース走行時間 τ_b の短縮は重要であり、エミッタからベースへの電子の注入エネルギーを大きくすることが効果的であることがわかる。そこで、エミッタ・ベース界面における伝導帯のエネルギー不連続を大きくしたいが、 $In_xGa_{1-x}P/GaAs$ ヘテロ接合の場合は格子整合しなくなってしまうのでできないため従来の $InGaP/GaAs$ 系 HBT は設計の自由度が小さく、高周波動作が困難であるという問題があった。

【0007】さらに従来の $InGaP/GaAs$ 系 HBT では長期に通電試験を行った際に、ベース層中で発生した転位が増殖し、これがエミッタ層にまで転位を及ぼし、その結果、再結合電流が増加し、電流増幅率の低下を引き起こすため、長期信頼性が保証されていないという問題があった。たとえば従来の $InGaP/GaAs$ 系 HBT におけるコレクタ電流密度 $J_c = 5 \times 10^4 A/cm^2$ 、接合温度 $200^\circ C$ における平均故障間隔 MTTF (Mean Time to Failure) は、電流増幅率 10% 低下を故障とみなすと $10^6 h$ 程度であった。

【0008】以上のように、格子整合上の制約があるため高速動作特性、長期信頼性に優れ、なおかつオフセット電圧の小さい $InGaP/GaAs$ 系 HBT、あるいは電子の注入エネルギーの大きい $InGaP/GaAs$ 系 HBT は、未だに得られていない。

【0009】本発明は、上記の点を鑑みなされたもので、高速動作性と長期信頼性を飛躍的に向上させ、しかも、エミッタ層の In の組成 x をある程度自由に変化でき、設計の自由度の大きい $In_xGa_{1-x}P/GaAs$ 系 HBT を提供することを目的とする。

【0010】本発明の他の目的は、 $In_xGa_{1-x}P/GaAs$ 系 HBT の設計の自由度を大きくし、オフセット電圧の小さい低消費電力の HBT も、電子の注入エネ*

$$dE_c = a_c (\Delta\Omega/\Omega)$$

ここで、 a_c は伝導帯の変形ポテンシャル (deformation potential) である。歪みによる体積の変化率 $\Delta\Omega/\Omega$

$$\Delta\Omega/\Omega = 2 (1 - c_{12}/c_{11}) \dots \dots \quad (4)$$

と書ける。ここで、 c_{12} 、 c_{11} は弾性定数 (elastic stiffness constant)、 a_0 は基板の格子定数、 a はエピタキシャル層の格子定数である。式(4) および式

* ルギーの大きい高速動作用の HBT も自由に設計できる HBT を提供することである。

【0011】本発明の他の目的は $In_xGa_{1-x}P/GaAs$ ヘテロ接合、あるいは $In_xGa_{1-x}P/InGaAs$ 等の格子整合する組成 x の値が限定されているヘテロ接合においてこの格子整合する組成 X の範囲を超えて、所定の範囲内で自由に接合界面のエネルギー不連続値を変化、すなわち大きくすることも小さくすることも可能な設計の自由度の大きな HBT を提供することである。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明の特徴は図1 および図5 に示すように、第1導電型のコレクタ層23 と、第2導電型のベース層24 と、ベース層24 よりも禁制帯幅 E_g の大きい半導体層からなる第1導電型のエミッタ層25、45 とが順次積層された構造を具備する HBT であって、エミッタ層24、45 の格子定数が、ベース層24 の格子定数に対し、0.1~1% の範囲で異なることである。

【0013】0.1~1% の範囲で異なる場合は2通りある。つまり、(1) 図1 に示すように、エミッタ層25 の格子定数が、ベース層24 の格子定数に比して小さい場合、および、(2) 図5 に示すように、エミッタ層45 の格子定数が、ベース層24 の格子定数に比して大きい場合である。いずれの場合においても、好ましくはコレクタ層23 およびベース層24 は $GaAs$ により構成され、エミッタ層25、45 が $InGaP$ で構成されていることである。さらに、好ましくはベース層24 に In が含有されていること、つまりベース層24 は $InGaAs$ で構成されていることである。

【0014】

【作用】本発明の特徴によれば、エミッタ層の $InGaP$ 層の格子定数がベース層の $GaAs$ 層或いは $InGaAs$ 層の格子定数から少しずれた値になるよう、 In と Ga の組成比を決定している。まず、ベース層が $GaAs$ により構成されている場合について説明する。この場合、 $InGaP$ エミッタ層にわずかな歪みを導入することによって、 $GaAs$ ベース層とのバンドの不連続を低減する。歪みが入った場合の伝導帯のエネルギー変化 dE_c は、以下のように記述できる (たとえば、Y. Hirayama et al., J. Appl. Phys. 74 (1993) 570 を参照)。

【0015】

$$\dots \dots \dots \quad (4)$$

※ Ω は、

$$\cdot (a_0/a - 1) \dots \dots \quad (5)$$

(5) を基にして、歪みが入った $InGaP$ における伝導帯のエネルギー変化は求められる。任意の組成比 x を持つ $In_xGa_{1-x}P$ に対する上記パラメータは、ベガ

ード則 (Vegard's law) に従って、InPとGaPのパラメータを組成比xで内挿して算出すればよい。

【0016】ここで、GaAsに対して $In_x Ga_{1-x}$ Pの組成 $x=0.48$ で格子整合するが、請求項3記載のように $In_x Ga_{1-x}$ Pの格子定数がGaAsの格子定数より大きい場合を考えてみる。たとえばエミッタ層のIn組成比が $x=0.55$ の場合、 $In_x Ga_{1-x}$ PとGaAsとは格子整合せず、この場合の格子不整合の割合 $\Delta a/a = +0.48\%$ である。このとき、InGaPには圧縮応力が働いている。上記の式(4)および(5)による計算から、歪みがないInGaPに対するときに比べて、伝導帯のエネルギーが53.5meV上昇することが分かる。 $InGaP$ の禁制帯幅の変化は、GaAsに格子整合している場合より、77meV減少する。今、その半分が伝導帯のエネルギー位置に寄与すると考えると、38.5meVの減少である。結局、伝導帯のエネルギー不連続は、差し引きの15meV大きくなる。同様に $x=0.53$ の場合、伝導帯のエネルギーは差し引き9meV大きくなる。また $x=0.53$ における $\Delta a/a = +0.33\%$ である。その結果、エミッタからベースに注入される電子のエネルギーが大きくなり、ベース走行時間 τ_b の短縮ができる。

【0017】また、このようにIn組成比をより大きくした構成にすることにより、転位の増殖が抑制され、エミッタの信頼性が大きく向上する。また、 $In_x Ga_{1-x}$ PにおけるIn組成xを大きくし、圧縮歪みを導入することにより、エミッタ・ベース界面における伝導帯のエネルギー不連続が大きくなり、高周波特性が向上する。

【0018】同様にして、請求項4記載のように $In_x Ga_{1-x}$ Pの格子定数が、GaAsの格子定数よりも小さい場合、たとえばIn組成比 $x=0.44$ では $\Delta a/a = -0.33\%$ で、伝導帯のエネルギー不連続は13meV小さくなる。 $x=0.42$ では $\Delta a/a = -0.48\%$ で、伝導帯のエネルギー不連続は16meV小さくなる。その結果、電流-電圧特性におけるオフセット電圧が低下し、低消費電力化が可能となる。

【0019】次に、請求項5記載のように、ベース層にInを添加した場合について説明する。ベース層へのInの添加量は組成にして0~0.1程度が望ましい。たとえば、組成比にして0.1のInを添加したp-In_{0.1}Ga_{0.9}Asベース層上に、n-In_xGa_{1-x}Pエミッタ層を成長した場合においては、In_xGa_{1-x}Pの組成 $x=0.58$ で格子整合する。このときのIn_{0.1}Ga_{0.9}Asの格子定数 $a=0.5694\text{ nm}$ で、禁制帯幅 $E_g=1.278\text{ eV}$ である。In_xGa_{1-x}Pエミッタ層の格子定数がIn_{0.1}Ga_{0.9}Asの格子定数よりも小さい場合、たとえばIn組成 $x=0.51$ の場合、In_xGa_{1-x}PとIn_{0.1}Ga_{0.9}Asとは格子整合せず不整合 $\Delta a/a = -0.52\%$ である。こ

のとき、In_xGa_{1-x}Pには引っ張り応力が働いている。前述と同様に(4)式、(5)式による伝導帯のエネルギーの下降分、およびIn_xGa_{1-x}Pの禁制帯幅の增加分との差し引きをして、歪みがないときに比べて、伝導帯のエネルギー不連続が21meV低下することが計算される。またIn組成 $x=0.53$ では $\Delta a/a = -0.38\%$ でIn_xGa_{1-x}Pには引っ張り応力が働き、伝導帯のエネルギー不連続は15meV低下する。したがって請求項5記載の本発明の特徴によれば、エミッタ・ベース界面における伝導帯の不連続が低減され、その結果、電流-電圧特性において、オフセット電圧が低下する。さらに本発明の特徴によれば、ベース層にInを添加しているので、通電により発生した転位の増殖を妨げ、素子の信頼性が向上する。

【0020】同時に、GaAs基板に対して、InGaAsベース層は圧縮応力が働いているが、エミッタ層として、引っ張り応力が働くIn_xGa_{1-x}P層(Inの組成比xを少なめにして)を積層しているので、ウェハ全体の応力を相殺し、ウェハのそりが緩和される。従来のInGaAsベース層を用いたウェハのそりは、2インチウェハにおいて中心と周辺で10μm程度も発生する場合がありプロセス上、特に露光の工程では微細パターンの形成に対して、非常に大きな障害となっていたが、本発明によれば、4インチウェハにおいても露光に障害が生じないまでにウェハのそりが緩和され、微細パターンのフォトリソグラフィー(あるいは電子線リソグラフィー、X線リソグラフィー)が容易となるため、HBT集積回路の高密度化およびHBTの高速化が可能となる。

【0021】なお、熱伝導率はGaPでは1.1(W/cm·K)、InPでは0.7(W/cm·K)である。したがって、格子整合したInGaPに比べて、本発明のようにInの組成比を少なくした系では、熱伝導率が大きく、熱放散が良好であるので、高集積化が良好となる。すなわち単位面積当りの発熱量を低下できる。また熱放散が良好であることは、パワートランジスタとして用いる場合にも大いに有利である。

【0022】また、請求項5記載のベースにInを添加した場合において、エミッタのInの組成xを格子整合する場合の値よりも大きくした場合について説明する。ベースのIn_xGa_{1-x}AsのInの組成 $x=0.1$ の場合、エミッタのIn_xGa_{1-x}Pの組成 $x=0.58$ でベースのIn_{0.1}Ga_{0.9}Asと格子整合することは既に述べたが、In_xGa_{1-x}Pの組成 $x=0.65$ で $\Delta a/a = +0.51\%$ となり、圧縮応力がIn_xGa_{1-x}Pに働くことになる。禁制帯幅 E_g の減少分を差し引くと、(4)式、(5)式から伝導帯のエネルギー不連続は24meV増加する。同様にIn_{0.63}Ga_{0.37}PはIn_{0.1}Ga_{0.9}Asに対して $\Delta a/a = +0.36\%$ で、伝導帯のエネルギー不連続は16meV増加す

る。この結果 $In_x Ga_{1-x} P$ エミッタから $In_x Ga_{1-x} As$ ベースに注入される電子のエネルギーが大きくなり、ベース走行時間 τ_b が短縮され、HBTの遮断周波数 f_T が増大する。

【0023】本発明の $InGaP/GaAs$ 系HBTにおいて、 $InGaP$ エミッタ層に格子歪みを導入することによる素子の信頼性向上は図8に示すようなゲッタリング現象と等価な効果により説明できる。Siデバイスではゲッタリング効果はかなり一般的に用いられているが、 $InGaP/GaAs$ 系HBTにおいてもSiにおけるゲッタリング現象と等価な効果が生じる。図8に模式的に示している通り、引っ張り歪みにせよ、圧縮歪みにせよ $InGaP$ エミッタ層に歪みを導入することにより、トランジスタ真性領域に発生した点欠陥を、歪みにより外部領域に排出することができる。その結果、欠陥をトランジスタ動作に対して不活性な領域に排出し、トランジスタ動作の信頼性向上を図ることができる。

【0024】図9に本発明によるゲッタリング効果が素子の信頼性に対して与える効果を模式的に示す。図9において、y軸は素子に内在するエネルギーに相当する量である。図9の原点が格子整合の場合である。したがって、y軸の下方向に信頼性が向上することを表わしている。図9で示すように、ゲッタリングにより、結晶歪みが入る程、信頼性向上への寄与が増加する。逆に、結晶歪みによる欠陥の生成が及ぼす逆効果と併せて考えると、図9に示すように、格子整合条件からわずかにずれた条件において、エネルギーの極小値が現れる。本発明は、この極小部分を狙ったものである。

【0025】このように、本発明によれば、信頼性を向上させることができると同時に $In_x Ga_{1-x} P$ の組成 x を格子整合する場合の値より小さくした場合は、素子のオフセット電圧の低減も同時に図ることができ、低消費電力化が可能となる。したがってHBTを用いた論理IC等の高集積化が可能となる。また、プロセス上、大きな障害となるウェハのそりも解決できる。

【0026】また $In_x Ga_{1-x} P$ の組成 x を格子整合する場合の値より大きくした場合は、ベース走行時間 τ_b が短縮され、高周波動作が可能となる。

【0027】

【実施例】図1は、本発明の一実施例に係る $GaAs$ ベース層を有するエミッタトップ $n-p-n$ 型HBTの断面図である。半絶縁性 $GaAs$ 基板21に順次、 n^+ 型 $GaAs$ コレクタコンタクト層22、 n 型 $GaAs$ コレクタ層23、 p^+ 型 $GaAs$ ベース層24、 n 型 $In_{0.44}Ga_{0.56}P$ エミッタ層25、 n 型 $GaAs$ 層26、 n 型 $In_{ny}Ga_{1-y}As$ 層27、 n^+ 型 $In_{0.5}Ga_{0.5}As$ エミッタコンタクト層29が積層構造となっている。ここでたとえば、 n^+ 型 $GaAs$ コレクタコンタクト層22は500nm、Si濃度 $6 \times 10^{18} \text{ cm}^{-3}$ 、 n 型 $GaAs$ コレクタ層600nm、Si濃度 $5 \times 10^{16} \text{ cm}^{-3}$

m^{-3} 、 p^+ 型 $GaAs$ ベース層24は50nm、Be濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 、 n 型 $In_{0.44}Ga_{0.56}P$ エミッタ層25は30nm、Si濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、 n 型 $GaAs$ 層26は30nm、Si濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、 n 型 $In_{ny}Ga_{1-y}As$ 層27は50nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ 、 n 型 $In_{0.5}Ga_{0.5}As$ エミッタコンタクト層29は50nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ である。図1では、エミッタ電極31として $Ti/Pt/Au$ を n^+ 型 $In_{0.5}Ga_{0.5}As$ エミッタコンタクト層28の上に、ベース電極として $Pt/Ti/Pt/Au$ を p^+ 型 $GaAs$ ベース層24の上へ、コレクタ電極として $AuGe/Ni/Ti/Au$ を n^+ 型 $GaAs$ コレクタコンタクト層22の上にそれぞれ積層した構造をとっている。

【0028】図1に示したHBTを製造するにはまず、減圧MOCVD法、MBE法、CBE法(Chemical Beam Epitaxy法)、ALE法(Atomic Layer Epitaxy法)、あるいはMLE法(Molecular Layer Epitaxy法)等を用いて、図2に示すように、 $GaAs$ 基板21上に、 $GaAs$ 層22、23、24、 $InGaP$ 層25、 $GaAs$ 層26、 $InGaAs$ 層27、28を形成する。例えばCBE法で成長する場合、圧力 $1.3 \times 10^{-3} \text{ Pa}$ において、基板温度 520°C で、TEG(トリエチルガリウム)と AsH_3 (アルシン)を導入し $GaAs$ 層22、23、24を成長し、TEG、TMI_n(トリメチルインジウム)と PH_3 (fosfin)で $InGaP$ 層25、再びTEGと AsH_3 で $GaAs$ 層26を成長し、最後にTEG、TMI_nと AsH_3 で $InGaAs$ 層27、28を同一チャンバー中で連続的に成長すればよい。 AsH_3 のかわりにTBA(ターシャリー・ブチル・アルシン($(C_4H_9)AsH_2$))を用いてもよく、 PH_3 のかわりにTBP(ターシャリー・ブチル・fosfin($(C_4H_9)PH_2$))を用いてもよい。 p 型のドーパントとしてはたとえば、TMG(トリメチルガリウム)や固体のBeソースを用いればよい。 n 型のドーパントとしては固体ズズ(Sn)、 SiH_4 (モノシラン)、 Si_2H_6 (ジシラン)、TESn(トリエチルスズ)、あるいはDESe(ジエチルセレン)、DET_e(ジエチルテルル)等を用いればよい。またCBE法に用いるソースガスを交互導入し、半導体基板上の交換表面反応を用いればMLE法となる。たとえば基板温度 $350^\circ\text{C} \sim 450^\circ\text{C}$ 、圧力 $6 \times 10^{-4} \text{ Pa}$ においてTEGを4秒導入、3秒真空排気、 AsH_3 を20秒導入、その後3秒真空排気のガス導入1サイクルで $GaAs$ 1分子層が成長できるので、MLE法によれば図2の積層ウェハは分子層単位の精度を有した構造となる。

【0029】次に全面にバッシベーション膜としてシリコン酸化膜を堆積する。まず、最初にプロトンイオン注入により素子間分離領域35を形成する。さらに、こ

のウェハ上にフォトレジストでベース電極取り出し用のU溝エッティングのためのマスクパターンを形成し、それを用いてシリコン酸化膜をエッティング後、InGaAs層28、27、GaAs層26、およびInGaP層25をRIE法あるいはECRイオンエッチ法によりp⁺ GaAsベース層24の上部にnIn0.44Ga0.56Pエミッタ層25が薄く残るようにエッティングしU溝を形成する。この後フォトレジストマスクをつけた状態でさらにウェットエッティングによってU溝の側壁の半導体層を僅かにサイドエッティングする。このサイドエッティングの量でベース電極とエミッタ領域の分離が決まる。サイドエッティング量の最適値はエビ膜の構成や膜質あるいはパターンサイズその他に依存するが、たとえば0.1μm程度行けばよい。ここでは主なエッティング手段としてドライエッティングを用いたが、ウェットエッティングのみでも可能である。続いてベース電極Pt/Ti/Pt/Auをウェハ全面に蒸着し、その後フォトレジストを除去する、いわゆるリフトオフ法によってベース電極32をU溝の底部に形成する。その後ランプアニール炉等で350°C程度の熱処理を施し、ベース電極層32の最下層のPtをnIn0.44Ga0.56Pエミッタ層25と反応拡散させp⁺型GaAs層24まで突き抜けさせることにより、p⁺型GaAsベース層24との電気的接触を得ている。図1は模式的であり、ベース電極層32がベース層に接触していないような印象を与えるが、Ptのアロイ層により接触していることに注意されたい。この様な製造工程により、ベース領域は、ガードリングを併せ持つ構造となり、電流増幅率の向上を得ることができる。次に、ベース電極とエミッタ電極の絶縁層を形成するため、基板表面全体にポリイミド樹脂のプレポリマー溶液をスピンドルコート法により塗布し、このポリイミド樹脂の熱硬化温度(350°C)まで段階的に加熱して全面にポリイミド樹脂34を形成する。次にCF4/O2を用いたRIE法等によりし、U溝内のベース電極32上のみにポリイミド樹脂34を残すように全面のポリイミド樹脂34をエッティングする。その後n⁺型GaAsコレクタコンタクト層22をウェットエッティングによって露出させAuGe/Ni/Ti/Auを蒸着後、バーニングし、さらに370°C程度の熱処理によりアロイを行う。その後フォトリソグラフィにより図1に示すようにバーニングし、コレクタ電極33を形成する。その後シリコン酸化膜を除去後、Ti/Pt/Auを真空蒸着し、エミッタ電極31を形成する。この工程ではエミッタ電極形成用のコンタクトホール開孔は自己整合的に形成され、エミッタ面積の小面積化が可能で、高周波動作に適した構造となる。なお、p⁺型GaAsベース層24のかわりにp⁺型In_xGa_{1-x}Asベース層を用いてもよい。この場合p⁺型In_{0.1}Ga_{0.9}Asが望ましい。すなわちInの組成xは0~0.1が好ましい値である。InGaAsベースとすることで、通電によ

り発生した転位の増殖が妨げさらに素子の信頼性が向上する。また、ベース接觸抵抗も低減され最大発振周波f_{max}が向上する。

【0030】In_xGa_{1-x}PはIn組成x=0.48でGaAsベース層24と格子整合するが、本発明の実施例では組成x=0.44であるため格子不整合△a/a=-0.33%である。したがってIn0.44Ga0.56Pエミッタ層25には引っ張り応力が働いている。禁制帯幅Egは格子整合しているIn0.48Ga0.52Pの場合に比して増加するが、式(4)、式(5)から計算されるように伝導帶のエネルギーが減少する。結局、この両者の差し引きより、In0.44Ga0.56Pエミッタ層25とGaAsベース層24との間の伝導帶のエネルギー不連続は13meV減少する。このためHBTの電流-電圧特性のオフセット電圧が減少し、HBTの低消費電力化が可能となる。

【0031】図3にこのようにして作製した本発明の第1の実施例に係るHBTの典型的な電流-電圧特性を示す。比較として従来例によるGaAsに完全に格子整合したInGaPエミッタ層を持つHBTの特性もあわせて示してある。本発明の第1の実施例では、従来例に比べて、オフセット電圧が小さくなっていることがわかる。また、通電による電流増幅率の低下も見られず、長期信頼性の面でも優れている。図4には、信頼性を示す尺度である平均故障間隔MTTFを格子歪みに対して、プロットしてある。コレクタ電流密度J_c=5×10⁴A/cm²、接合温度200°Cにおいて、電流増幅率10%を故障とみなした場合である。ベース層の格子定数に対して、エミッタ層の格子定数が小さくなると徐々にMTTFは向上する。格子歪み△a/aが1%を越えると、格子不整合が大きすぎ、結晶成長の段階でエミッタ層に転位が生じてしまい、却ってMTTFは低下する。格子歪△a/a=0.5%近傍ではMTTFは10⁷h程度であり、従来の格子整合したHBTにおけるMTTFの10倍以上の値が得られた。

【0032】図5は、本発明の第2の実施例に係るInGaAsベース層を有するエミッタトップn_pn型HBTの断面図であり、エミッタ層の格子定数をベース層の格子定数より大きくした場合である。半絶縁性GaAs基板21に順次、n⁺型GaAsコレクタコンタクト層22、n型GaAsコレクタ層23、p⁺型InGaAsベース層24、n型In0.65Ga0.35Pエミッタ層25、n型GaAs層26、n型In_yGa_{1-y}As層27、n⁺型In0.5Ga0.5Asエミッタコンタクト層29が積層構造となっている。ここでたとえば、n⁺型GaAsコレクタコンタクト層22は500nm、Si濃度6×10¹⁸cm⁻³、n型GaAsコレクタ層600nm、Si濃度5×10¹⁶cm⁻³、p⁺型In_{0.1}Ga_{0.9}Asベース層24は50nm、Be濃度5×10¹⁹cm⁻³、n型In0.65Ga0.35Asエミッタ層25は3

0 nm、Si濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、n型GaAs 26は30 nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ 、n型InyGa_{1-y}As層27は50 nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ 、n⁺型In_{0.5}Ga_{0.5}Asエミッタコンタクト層29は50 nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ である。

【0033】図5は図1と同様にエミッタ電極31としてTi/Pt/Auをn⁺型In_{0.5}Ga_{0.5}Asエミッタコンタクト層28の上に、ベース電極としてPt/Ti/Pt/Auをp⁺型In_{0.1}Ga_{0.9}Asベース層24の上へコレクタ電極としてAuGe/Ni/Ti/Auをn⁺型GaAsコレクタコンタクト層22の上にそれぞれ積層した構造をとっている。図5に示した本発明の第2の実施例のHBTを製造するには、減圧MOCVD法、MBE法、CBE法、ALE法、あるいはMLE法等を用いて、図2に示すように、GaAs基板21上に、GaAs層22、23、InGaAs層24、InGaP層25、GaAs層26、InGaAs層27、28を形成して、本発明の第1の実施例と同様な工程で製造すればよく、ここでは説明を省略する。

【0034】In_xGa_{1-x}PはIn_{0.1}Ga_{0.9}Asと組成x=0.58で格子整合するので、x=0.65では格子不整合 $\Delta a/a = 0.51\%$ である。このときIn_{0.65}Ga_{0.35}Pエミッタ層25には圧縮応力が働き、In_{0.58}Ga_{0.42}Pエミッタ層の場合に比し、禁制帯幅E_gの減少分を考慮して24 meVだけ伝導帯のエネルギー不連続が大きくなる。したがってIn_{0.65}Ga_{0.35}Pエミッタ層25からIn_{0.1}Ga_{0.9}Asベース層24への電子の注入エネルギーが大きくなり、ベース走行時間の τ_b の短縮ができる。

【0035】図6にこのようにして作製した本発明の第2の実施によるHBTの典型的な周波数特性を示す。比較として従来例によるGaAsに完全に格子整合したInGaPエミッタ層を持つHBTの特性もあわせて示してある。ベース走行時間 τ_b が短縮されたため、従来例に比べて遮断周波数f_Tが向上していることが分かる。また、通電による電流増幅率の低下も見られず、長期信頼性の面でも優れている。図7には、信頼性を示す尺度であるMTTFを格子歪み $\Delta a/a$ に対して、プロットしてある。ベース層の格子定数に対して、エミッタ層の格子定数が大きくなると徐々にMTTFは向上する。格子歪み $\Delta a/a$ が1%を越えると、格子不整合が大きすぎ、結晶成長の段階でエミッタ層に転位が生じてしまい、却ってMTTFは低下する。コレクタ電流密度J_C= $5 \times 10^4 \text{ A/cm}^2$ 、接合温度200°Cで、MTTFは10⁷ hの値が格子歪0.5%近傍で得られた。

【0036】なお、本発明はInGaPエミッタ層/GaAsベース層あるいはInGaPエミッタ層/InGaAsベース層にのみ適用されるのではなく、エミッタ層としてInGaP、又はInGaAsP、ベース層としてGaAsあるいはInGaAsを用いる各種組み合

わせに用いてもよく、さらにエミッタ層としてInP、ベース層としてInGaAsを用いる場合にも適用できる。

【0037】

【発明の効果】本発明の請求項1記載の発明によれば、InGaPエミッタ層/GaAsベース層あるいはInGaPエミッタ層/InGaAsベース層等のヘテロ接合を有するHBTにおいて、In_xGa_{1-x}PのInの組成xを、ベース層と格子整合させないように所定の範

10 囲内に選ぶことにより、通電による長期信頼性を向上させることが可能とことができる。

【0038】また、本発明の請求項1記載の発明によれば従来のIn_xGa_{1-x}P/GaAs系のHBTにおいては格子整合の観点からInの組成xは特定の値しか許されなかったが、格子整合からはずれた値のxを選ぶことができるのでIn_xGa_{1-x}P/GaAs系HBTの設計自由度が飛躍的に増大する。

【0039】本発明の請求項2記載の発明によれば、InGaPエミッタ層/GaAsベース層あるいはInG

20 a Pエミッタ層/InGaAsベース層を有するHBTにおいて、In_xGa_{1-x}PのInの組成xを、In_xGa_{1-x}Pの格子定数がベース層の格子定数よりエミッタ層の格子定数が小さくなるような所定の範囲内のxの値に選ぶことができるので、電流-電圧特性におけるオフセット電圧を低減し、通電による長期信頼性を向上させ、なおかつウェハのそりも緩和させることができるとなる。

【0040】本発明の請求項3記載の発明によれば、InGaPエミッタ層/GaAsベース層（あるいはInGaAsベース層）を有するHBTにおいて、In_xGa_{1-x}PにおけるIn組成xを、In_xGa_{1-x}Pの格子定数がベース層と格子整合する条件よりも大きくなる所定の範囲内の値に選定することができるので、エミッタ・ベース界面における伝導帯の不連続を大きくし、電子の注入エネルギーを大きくすることができる。その結果高周波特性を向上させ、同時に、通電による長期信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のHBTの断面構造を示す図。

【図2】本発明の第1の実施例に用いるエピタキシャルウェハの断面図。

【図3】本発明の第1の実施例のHBTの電流-電圧特性を従来例と比較説明する図。

【図4】本発明の第1の実施例における格子歪みと素子の信頼性の関係を示す図。

【図5】本発明の第2の実施例のHBTの構造を示す断面図。

【図6】本発明の第2の実施例のHBTの高周波特性を従来例と比較説明する図。

13

【図7】本発明の第2の実施例における格子歪みが素子の信頼性に与える効果を説明する図。

【図8】ゲッタリング効果を説明する模式図。

【図9】ゲッタリング効果と歪みによる影響を説明する図。

【符号の説明】

- 21 半絶縁性GaAs基板
- 22 n⁺型GaAsコレクタコンタクト層
- 23 n型GaAsコレクタ層
- 24 p⁺型GaAsベース層
- 25 n型In_{0.44}Ga_{0.56}Pエミッタ層

26 n型GaAs層

27 n⁺型In_yGa_{1-y}Asグレーディング層

28 n⁺型In_{0.5}Ga_{0.5}Asエミッタコンタクト層

31 エミッタ電極

32 ベース電極

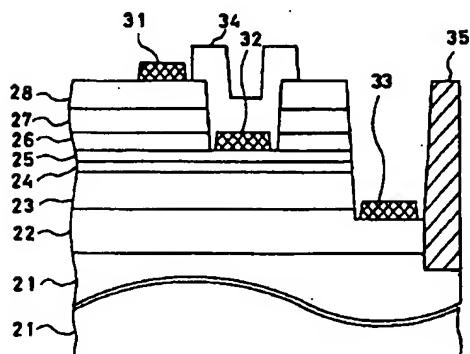
33 コレクタ電極

34 ポリイミド

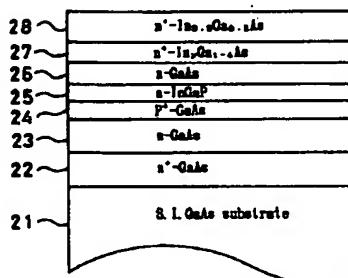
35 イオン注入等による高抵抗化領域

10 45 n型In_{0.65}Ga_{0.35}Pエミッタ層

【図1】

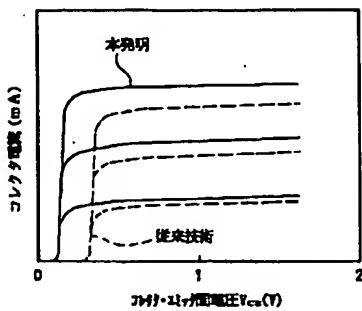


【図2】

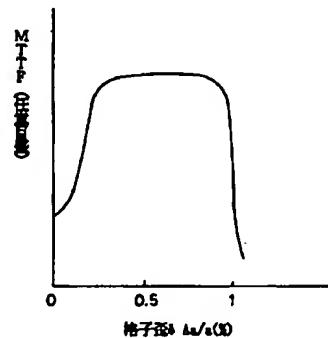
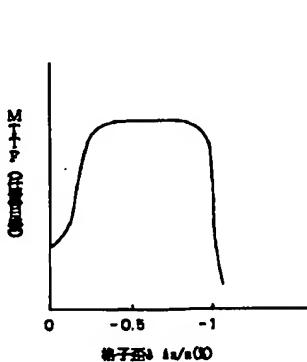


【図7】

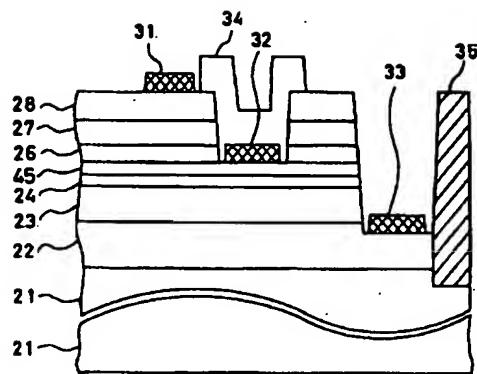
【図3】



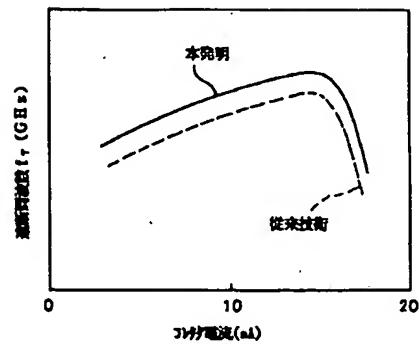
【図4】



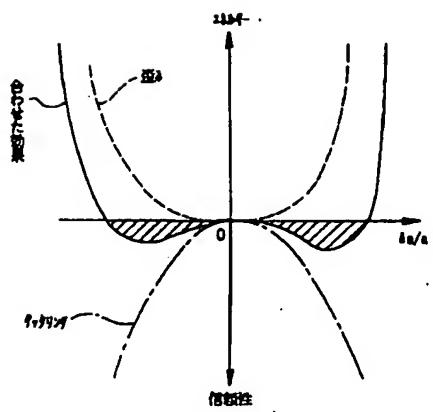
【図5】



【図6】



【図9】



【図8】

